

[19]中华人民共和国国家知识产权局

[51]Int. Cl⁷

G09G 3/28

G09G 3/20

[12] 发明专利申请公开说明书

[21] 申请号 99108349.0

[43]公开日 2000年4月5日

[11]公开号 CN 1249498A

[22]申请日 1999.6.8 [21]申请号 99108349.0

[30]优先权

[32]1998.9.30 [33]JP [31]276735/98

[71]申请人 三菱电机株式会社

地址 日本东京都

[72]发明人 有本浩延 伊藤笃

[74]专利代理机构 中国专利代理(香港)有限公司

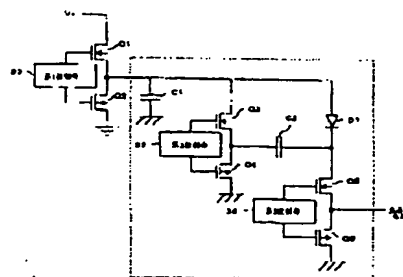
代理人 杨凯 叶恺东

权利要求书 1 页 说明书 10 页 附图页数 10 页

[54]发明名称 显示屏的驱动电路

[57]摘要

通过对共用电极施加正显示脉冲,产生放电。通过也对个别电极施加 正的控制电压以抑制放电。通过对共用电极施加负的复位脉冲,抹去在不稳定的放电后残留的电荷。因此,可有效地防止不稳定的放电。



ISSN 1008-4274

Best Available Copy

专利文献出版社出版



权 利 要 求 书

1. 一种显示屏的驱动电路, 其中, 在配置成矩阵状的多个显示单元的每一个中配置了个别电极, 同时在多个显示单元中配置共用的共用电极, 将进行显示工作的显示脉冲作为整体施加到共用电极上, 对个别电极个别地施加控制各显示单元中的放电的控制电压, 由此来控制各显示单元中的气体放电, 其特征在于:

在共用电极中的显示脉冲的施加的间隙中, 对显示电极施加与显示脉冲极性相反的复位脉冲。

2. 如权利要求 1 中所述的显示屏的驱动电路, 其特征在于:

10 上述显示脉冲以 2 级的电压来形成, 使电压呈阶梯状上升、下降, 上述复位脉冲的电压值的绝对值定为显示脉冲的第 1 级的电压值以上。

3. 如权利要求 1 中所述的显示屏的驱动电路, 其特征在于:

在 1 帧中施加 1 次上述复位脉冲或在多帧中施加 1 次上述复位脉冲。

4. 如权利要求 1 中所述的显示屏的驱动电路, 其特征在于:

15 具有存储多个关于上述共用电极和个别电极的驱动的序列的序列存储器,

根据从该序列存储器读出的序列数据来控制共用电极的驱动。

5. 如权利要求 4 中所述的显示屏的驱动电路, 其特征在于:

还具有存储来自上述序列存储器的序列读出顺序的循环存储器,

20 根据从该循环存储器读出的数据, 从序列存储器读出序列数据。



说明书

显示屏的驱动电路

5 本发明涉及一种显示屏的驱动电路，其中，在配置成矩阵状的多个显示单元的每一个中配置了共用电极和个别电极，将进行显示工作的显示脉冲作为整体施加到共用电极上，对个别电极个别地施加控制各显示单元中的放电的控制电压，由此来控制各显示单元中的气体放电。

10 迄今为止，已知有一种控制每个等离子显示等的显示单元的气体放电来进行显示的显示屏。而且，在这样的显示屏中，为了正常地进行放电，必须将被蓄积的电荷经常维持在适合于放电的状态。因此，在全部显示单元中定期地进行除去引起放电的蓄积电荷等的初始化。

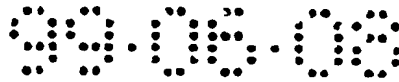
在日本国专利申请公开号特开平 10-143106 号公报（公开日 1998/5/29）、特开平 8-278766 号公报（公开日 1996/10/22）、特开平 7-140927 号公报（公开日 1995/6/2）、特开平 9-325736 号公报（公开日 1997/12/16）、特开平 8-212930 号公报（公开日 1996/8/20）等中示出了这样的初始化。

这样，虽然已提出了各种初始化方法，但如果放电的条件等改变，则应采用不同的方法。

「相关的申请」

20 本申请人在根据专利合作条约的国际申请（申请号 PCT/JP98/01444）中提出了新的驱动方式的显示屏。在该显示屏中，具备各显示单元个别电极和共用电极，在每个显示单元中个别地驱动个别电极，对于多个显示单元一并地驱动供给电极。而且，通过对共用电极施加正的显示脉冲及个别地控制对于个别电极的的控制电压的施加，在每个显示单元中
25 控制放电以控制显示。

在此，该显示屏中的共用电极的驱动使用了电压以 2 级变化的显示脉冲。而且，用该 2 级显示脉冲的 1 个来进行蓄积电荷的放电和抹去（erase）的放电。因而，从理论上说，即使重复地进行放电，也可自动地进行电荷的抹去。但是，存在因电源上升时的不充分的电压施加引起的电荷的蓄积及因放电的重复进行引起的电荷的蓄积等。因此，为了
30 消除这些电荷的蓄积，通过在 1 帧中对全部个别电极加入 1 次正的脉冲（初始化脉冲），使显示单元的电荷反转，进行初始化。



利用这样的初始化，可消除不适当的电荷的蓄积，维持正常的放电。但是，在该方法中，必须对个别电极施加充分大的正电压。对于个别电极的电压施加是通过驱动对应于各显示单元的控制元件来进行的。因此，必须使个别电极的驱动电路整体适应于高电压。此外，由于插入初始化脉冲，存在个别电极的驱动的频率变高、驱动电路的功耗增大的问题。

本发明是为了解决上述那样的问题而进行的，其目的在于提供一种能以低电压及低频率来驱动个别电极的显示屏的驱动电路。

与本发明有关的显示屏的驱动电路在共用电极中的显示脉冲的施加的间隙中，施加与显示脉冲极性相反的复位脉冲。因此，即使插入复位脉冲，个别电极的控制也不改变。因此，在 1 帧中有 1 次个别电极的通断就足以确定放电何时停止。因而，可用低频率来驱动个别电极，可谋求该驱动电路中的功耗的降低。此外，对于个别电极来说，不需要高电压的初始化脉冲等，可不必在个别电极的驱动电路中处理高电压。

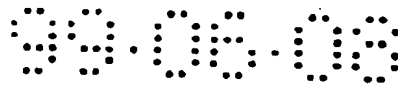
此外，较为理想的是，上述显示脉冲以 2 级的电压来形成，使电压呈阶梯状上升、下降，上述复位脉冲的电压值的绝对值定为显示脉冲的第 1 级的电压值以上。利用这样的显示脉冲，可由 1 个显示脉冲产生蓄积电荷的放电和抹去蓄积电荷的放电这样的 2 次放电。因此，在已进行了稳定的放电时，不需要插入复位脉冲。

此外，较为理想的是，在 1 帧中施加 1 次上述复位脉冲或在多帧中施加 1 次上述复位脉冲。由此，可形成不插入复位脉冲的帧，产生处理的裕量。

此外，较为理想的是，具有存储多个关于上述共用电极和个别电极的驱动的序列的序列存储器，根据从该序列存储器读出的序列数据来控制共用电极的驱动。由此，可容易地进行重复同一显示脉冲而输出的驱动。

再有，较为理想的是，具有存储来自上述序列存储器的序列读出顺序的循环（loop）存储器，根据从该循环存储器读出的数据来从序列存储器读出序列数据。由此，能提高序列利用的自由度，能以少的存储容量进行各种驱动。特别是利用循环存储器可适当地进行复位脉冲的插入的序列的实施。

由于本发明如以上所说明的那样来构成，故起到以下示出的效果。



(i) 由于在共用电极中的显示脉冲的施加的间隙中，施加与显示脉冲极性相反的复位脉冲，故即使插入复位脉冲，个别电极的控制也不改变。因此，在 1 帧中有 1 次个别电极的通断就足以确定放电何时停止。因而，可用非常低频率来驱动个别电极，可谋求该驱动电路中的功耗的降低。此外，对于个别电极来说，不需要高电压的初始化脉冲等，可减轻个别电极的驱动电路中的负载，可充分地降低处理的电压。

(ii) 较为理想的是，上述显示脉冲以 2 级的电压来形成，使电压呈阶梯状上升、下降，上述复位脉冲的电压值的绝对值定为显示脉冲的第 1 级的电压值以上。利用这样的显示脉冲，可由 1 个显示脉冲产生蓄积电荷的放电和抹去蓄积电荷的放电这样的 2 次放电。因此，在已进行了稳定的放电时，不需要插入复位脉冲。

(iii) 较为理想的是，在 1 帧中施加 1 次上述复位脉冲或在多帧中施加 1 次上述复位脉冲。由此，可形成不插入复位脉冲的帧，产生处理的裕量。

(iv) 较为理想的是，具有存储多个关于上述共用电极和个别电极的驱动的序列的序列存储器，根据从该序列存储器读出的序列数据来控制共用电极的驱动。由此，可容易地进行重复同一显示脉冲而输出的驱动。

(v) 较为理想的是，具有存储来自上述序列存储器的序列读出顺序的循环存储器，根据从该循环存储器读出的数据来从序列存储器读出序列数据。由此，能提高序列利用的自由度，能以少的存储容量进行各种驱动。特别是可容易地进行复位脉冲的插入。

图 1 是示出由本发明的显示屏的驱动电路驱动的显示单元的结构图。

图 2 是示出与一个实施例有关的显示屏的驱动电路的结构图。

图 3 是示出在稳定状态下的驱动与放电波形的关系的图。

图 4 是示出在稳定状态下的放电状态的关系的图。

图 5 是示出在不稳定状态下的驱动与放电波形的关系的图。

图 6 是示出在不稳定状态下的放电状态的图。

图 7 是示出显示控制电路的结构图。

图 8 是示出序列发生器的结构的图。

图 9 是示出序列发生器的工作的图。

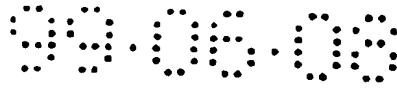


图 10 是示出因序列发生器引起的插入序列的插入工作的图。

实施例 1

图 1 是示出实施例 1 的显示屏中的 1 个显示单元 (1 色) 的图。在显示屏的背面一侧设有后玻璃基板 10。在后玻璃基板 10 中形成的凹部 12 的内表面上形成了荧光层 14。在前玻璃基板 20 的背面一侧 (朝向后玻璃基板 10 的一侧) 配置了一对透明电极 24a、24b。而且, 形成电介质层 26, 使其覆盖该对透明电极 24a、24b, 还形成了保护膜 28。因而, 通常由 MgO 形成的保护膜 28 面对凹部 12。而且, 通过对共用电极施加正的显示脉冲, 将个别电极维持于充分低的电压 (例如, 0V), 在接近于凹部 12 内的保护膜的部分中产生放电。通过对个别电极施加正的电压, 降低个别电极与共用电极间的电压值, 从而不产生放电。

在图 2 中示出共用电极的驱动电路。例如, 将 160V 的电源 V_s 经晶体管 Q1、Q2 连接到地。将该晶体管 Q1、Q2 的栅连接到第 1 控制部 30 上, 利用来自该第 1 控制部 30 的控制信号, 控制晶体管 Q1、Q2 的通断。通过使晶体管 Q1 导通、晶体管 Q2 关断, 从晶体管 Q1、Q2 的中间点 (V_s 输出点) 将电压 V_s 输出到后级。在此, 该晶体管 Q1、Q2 的电路是电源侧的电路, 相对于在图中用虚线示出的以下的电路来说, 是在另外的电路基板上形成的, 具有另外的地。

将另一端连接到地的电容器 C1 连接到晶体管 Q1、Q2 的中间点上。此外, 将另一端连接到地的晶体管 Q3、Q4 连接到 V_s 输出点上。将第 2 控制电路 32 连接到该晶体管 Q3、Q4 的栅上, 利用该第 2 控制电路 32 来控制晶体管 Q3、Q4 的通断。将另一端连接到地的晶体管 Q5、Q6 经二极管 D1 连接到 V_s 输出点上。将第 3 控制电路 34 连接到该晶体管 Q5、Q6 的栅上, 利用该第 3 控制电路 34 来控制晶体管 Q5、Q6 的通断。

在晶体管 Q1 导通、Q2 关断的状态下, 使晶体管 Q3、Q4、Q5、Q6 以下述方式发生通断。由此, 对共用电极供给图 3 中示出的 2 级显示脉冲。

【表 1】

	Q3	Q4	Q5	Q6
(1) 0V 时	关断	导通	关断	导通
(2) 第 1 级脉冲上升时	关断	导通	关断	关断
(3)	关断	导通	导通	关断
(4) 第 2 级脉冲上升时	关断	关断	导通	关断



(5)	导通	关断	导通	关断
(6) 第 2 级脉冲下降时	关断	关断	导通	导通
(7)	关断	导通	导通	关断
(8) 第 1 级脉冲下降时	关断	导通	关断	关断
5 (9)	关断	导通	关断	导通

即, 通过使晶体管 Q5 关断、Q6 导通, 使共用电极的电位成为地 (0V), 通过使晶体管 Q5 导通、Q6 关断, 使共用电极的电位成为 V_s 。此时, 预先使晶体管 Q4 导通, 在电容器 C2 上蓄积与 V_s 相当的电荷。然后, 通过使晶体管 Q4 关断、Q3 导通, 使电容器 C2 在晶体管 Q3 一侧的电位成为 V_s 。由于电容器 C2 被充电 V_s 的部分, 故共用电极的电压成为 $2V_s$ 。这样, 可生成 V_s 、 $2V_s$ 这样的 2 级电压。然后, 通过使晶体管 Q3 关断、Q4 导通, 共用电极的电压返回到 V_s , 通过使晶体管 Q5 关断、Q6 导通, 供给电极的电压返回到 0, 可构成 2 级的显示脉冲。

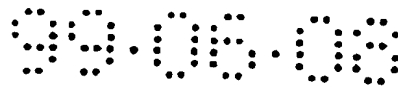
其次, 在 Q5 关断、Q6 导通的状态下, 使晶体管 Q1 关断、Q2 导通。由此, 将电容器 C1 的上侧的电位固定于电源侧的地电位 0V。另一方面, 电容器 C1 的下侧的地是本驱动电路的地, 不一定是 0V。因此, 该地成为 $-V_s$, 通过晶体管 Q6 连接到地的共用电极的电位成为 $-V_s$ 。由此, 对共用电极施加图 3 中的复位脉冲。

该复位脉冲是极性与显示脉冲相反的脉冲, 其大小是与第 1 级相同的 V_s 。该 V_s 例如是 160V (约 150V - 200), 在残留了壁电荷的情况下, 是被进行放电的电压。因而, 通过施加该复位脉冲, 在残留了壁电荷的情况下引起放电, 抹去壁电荷。

在图 3 ~ 图 6 中示出的是对共用电极和个别电极的电压施加与放电的关系, 图 3、图 4 示出了进行正常放电的状态、图 5、图 6 示出了残留了壁电荷的不稳定的放电时的状态。这样, 在进行不稳定的放电、残留了壁电荷的情况下, 利用复位脉冲引起放电, 抹去壁电荷。

在此, 如上所述, 抹去脉冲的电压最好约为显示脉冲的第 1 级的电压, 由此在残留了壁电荷的情况下可进行可靠的抹去放电。再有, 通过定为相同的电压, 可将驱动电路变得简单。

此外, 该复位脉冲的宽度必须是能在放电结束后并在壁电荷存在的情况下进行可靠的放电的宽度。为了进行可靠的放电, 在本实施例的装



置中，该复位脉冲的宽度必须约为 $5\mu\text{sec}$ （微秒）。这一点受到显示单元的尺寸等的影响。该放电的时间也与因显示脉冲引起的放电的时间相同，最好从显示脉冲朝向 $0V$ （GND）的下降沿算起经过 $15\mu\text{sec}$ 之后插入约 $5\mu\text{sec}$ 的时间的复位脉冲。在显示单元的尺寸改变的情况下，由于放电时间改变，故上述的 $15\mu\text{sec}$ 和 $5\mu\text{sec}$ 两者发生变化。因此，从显示脉冲的结束算起到复位脉冲的开始为止的时间与复位脉冲的继续时间定为约 3: 1 的关系是适当的。再有，这是在两者的时间都定为最低的时间的情况下所适用的关系，即使两者的时间都定为充分的时间，也没有关系。

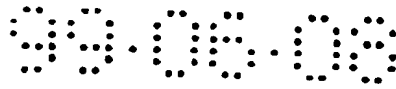
10 实施例 2

图 7 示出控制个别电极和共用电极的驱动的显示控制电路的结构。将作为每个像素的 RGB 数字数据的图象数据输入到乘法运算器 40 中。在此，在显示屏中，1 个像素由 RGB3 个显示单元构成，由于利用 RGB 数据的每一个来控制对应的显示单元的放电，故在以下的说明中将输入了 1 个亮度数据的情况作为基础来说明。

在乘法运算器 40 中，被供给来自校正存储器 42 的校正数据，进行由图象数据与校正数据的乘法运算得到的校正。在校正存储器 42 中存储了每个显示单元的校正数据，通过根据被输入进来的图象位置数据，从校正存储器 42 读出与图象数据对应的校正数据并进行乘法运算，成为校正了每个显示单元的误差的图象数据。由此，可校正显示单元的亮度的离散性。再有，该校正不一定用乘法运算来进行，也可以是利用差分数据的加法运算。此外，在本实施例中，图象数据是 9 比特，校正数据是 8 比特。因此，在校正数据的最高位处加入 1，成为 9 比特，进行 9×9 的乘法运算，将高位 9 比特作为运算结果从乘法运算器 40 输出。

将作为乘法运算器 40 的输出的已被校正的图象数据存储于图象存储器 44 中。图象存储器 44 中至少可存储 1 帧的图象数据。再有，在通常情况下，在图象数据中对于 RGB 各存储 1 帧的部分。

另一方面，在序列发生器 50 由垂直同步信号检测出 1 帧的开始之后，生成共用电极驱动用的驱动信号，将其输出。在 1 帧的期间内将显示脉冲重复地供给该共用电极。然后，序列发生器 50 将与显示脉冲同步的脉冲信号供给序列计数器 52。因而，序列计数器 52 中的计数值是关于显示脉冲的输出数的计数值。显示单元的亮度对应于 1 帧中的放电次数，



由于该放电次数对应于显示脉冲的数目，故该计数值成为利用该显示脉冲发光时的被设定的亮度（设定亮度数据）。

将序列计数器 52 的输出供给查找表（LUT）54，该输出利用该查找表 54 接受预定的变换，将被变换的设定亮度数据输入到比较器 56 中。

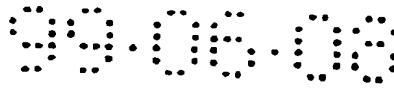
5 将来自图象存储器 44 的图象数据输入到该比较器 56 的另一输入端上。然后，从该比较器 56 可得到控制对显示单元的个别电极施加控制电压用的 1 比特的信号。

因此，从查找表 54 被输出的数据在 1 帧的显示中对于各显示单元是 1 个。在彩色显示的情况下，由于对于 1 个显示单位（象素：对于 1 个
10 象素有三种（RGB）数据）有 RGB 这 3 种数据，故从图象存储器 44 并行地输出 1 帧部分的图象数据（以 RGB 这 3 种类型的 3 帧存储器的数据）。而且，对于每种颜色设置比较器 56，在各比较器 56 中，将朝向各显示单元的图象数据与来自查找表 54 的设定亮度数据进行比较。将该比较结果从比较器 56 作为每个显示单元的显示数据逐个地输出。因此，通
15 过用 1 帧的象素 $\times 3$ （RGB）个显示数据来控制对各显示单元的各个别电极的电压施加，由此来控制各显示单元中的发光，进行显示屏中的显示。

例如，如果图象数据是 256 个灰度等级，从序列发生器 50 输出的显示脉冲数是 256 个，则到序列计数器 52 的输出值成为与图象数据的灰度等级相同的时刻为止，根据显示脉冲产生放电、使显示单元发光即可。
20 因此，在比较器 56 中，在被输入进来的值成为相同的值的时刻处，可这样来控制施加到个别电极上的控制电压，使显示数据的值改变，在该时刻处使发光停止。在本实施例中，可根据查找表 54 的内容对设定亮度数据进行任意的变换。因而，可任意地设定与图象数据的灰度等级对应的发光时间。

25 在本实施例中，1 帧中的显示脉冲的输出数是 765 个脉冲。因此，如果相对于输入 0、1、2、3、...、255，预先将查找表 54 设置成输出 0、3、6、...、765，则使 1 个灰度等级对应于 3 次放电，两者的关系成为线性关系。

另一方面，如果在开始使该查找表 54 的值每次增加 1、在后半部分
30 每次增加 5，以这种方式使增减量不同，则可任意地设定对于灰度等级变化的发光量。因此，可根据该查找表 54 的内容的设定来完成非线性（ γ ）校正。此外，通过根据 RGB 的各色来改写查找表 54 的内容，也可



进行色度的设定等。

其次，说明序列发生器 50 的工作。序列发生器 50 具有在其内部存储驱动序列的序列存储器、即序列比特寄存器 50a 和控制序列的读出的循环存储器、即循环计数寄存器 50b。在图 8 中示出其结构。

5 序列比特寄存器 50a 存储了关于驱动信号的序列 (= 模式 pattern) 及其期间。各地址 A0 ~ A63 的序列比特 B0 ~ B63 示出了关于输出的值，该值例如是对于共用电极的驱动电压的指示。而且，计数器比特 B0 ~ B7 示出了序列比特的输出期间。该计数器比特例如可定为系统时钟的时钟数。

10 此外，循环计数寄存器 50b 存储了序列比特寄存器的地址和序列输出的次数。各地址 A0 ~ A63 的序列地址比特 B0 ~ B4 示出了序列比特寄存器 50a 的地址，按照该地址设定来进行序列输出。此外，计数器比特 B0 ~ B7 示出在该指定地址处进行的序列的循环次数。

这里，根据图 9 说明该序列发生器 50 中的工作。首先，序列发生器
15 50 读入循环计数寄存器 50b 的最前面的地址 A0 (S1)。其次，在由计数器比特指定的期间内输出由该循环计数寄存器的序列地址指定的地址的序列比特寄存器 50a 的序列比特 (S2)。在该 S2 的输出结束的情况下，将序列比特寄存器 50a 的地址 + 1 (A0 的下一个是 A1) (S3)。然后，判定序列比特寄存器 50a 的计数值是否为 0 设定 (S4)。

20 在此，在序列比特寄存器 50a 的计数值是特定值 (在该情况下是 0) 的情况下，设定成意味着序列比特寄存器 50a 中的序列的连续输出的结束。

因此，在 S4 的判定中是 NO (否) 的情况下，在计数期间内输出序列比特寄存器 50a 的下一个地址 (在前一个步骤中已 + 1 的地址) 的序列比特的输出 (S5)。然后，在结束了该步骤的情况下，返回到序列比特寄存器 50a 中 + 1 的 S3。然后，重复进行在序列比特寄存器 50a 中存储的序列的输出，重复进行在序列比特寄存器 50a 中的序列的输出，直到序列比特寄存器 50a 的计数值成为 0 为止。再有，在进行某种输出时，计数值不为 0，计数值为 0 意味着不进行该输出，将其定为序列的结束。

30 然后，序列比特寄存器 50a 的计数值成为 0，在 S4 中成为 YES (是) 的情况下，返回到循环计数寄存器 50b，判定是否已进行了计数器指定次数的循环 (S6)。然后，在未进行指定次数循环的情况下，返回到 S2，



输出由此时的循环计数寄存器 50b 指定的地址的序列比特寄存器的序列。

5 这样，结束了由循环计数寄存器 50b 的 1 个地址指定的处理（循环计数寄存器 50b 的计数器指定次数循环结束），在 S6 中为 YES（是）的情况下，将循环计数寄存器 50b 的地址 + 1（S7）。然后，判定循环计数寄存器 50b 的计数值是否为 0（S8）。

10 如果计数值是 0，则意味着不进行与其对应的序列。因而，不进行输出这一点意味着序列的结束，在该情况下，结束序列。另一方面，如果循环计数寄存器 50b 的计数值不是 0，则返回到 S2，在计数期间内输出由循环计数寄存器 50b 指定的地址的序列比特寄存器的序列比特输出。

这样，从序列发生器 50 输出控制对于共用电极的共用脉冲的输出的信号，由此，图 1 中示出的驱动电路进行工作。然后，在进行了该共用脉冲的输出的期间内，通过对个别电极根据显示数据来控制个别电极的电压，可控制关于各显示单元的发光。

15 而且，在本实施例的序列发生器 50 中，在作为序列对共用电极施加显示脉冲那样的各帧中，除了与每次执行的垂直同步信号同步的同步序列之外，还具有只在预定的帧中插入复位脉冲用的插入序列。关于该插入序列的执行，只是输出不同，可与上述的序列同样地执行。

20 而且，该插入序列在实际的显示（由显示脉冲引起的放电）开始之前插入。关于这一点，根据图 10 来说明。首先，判定垂直同步信号是否来了（S11）。该垂直同步信号意味着垂直回扫期间的结束，但也可以是垂直回扫期间的开始或中间。

25 在垂直同步信号来了的情况下，对其进行计数（S12）。然后，与寄存器中存储的值进行比较（S13）。例如，在打算每 3 帧实施本序列的情况下，在寄存器中存储了 3。然后，在计数值为寄存器的存储值以上的情况下，实施插入序列（S14）。

30 在该插入序列的实施结束的情况下和在 S13 中计数值没有达到寄存器中被存储了的值的情况下，实施同步序列（S15）。由此，按照在寄存器中被存储了的值，在预定的每一帧中读出在序列比特寄存器中被存储了的复位脉冲的输出用的序列，插入复位脉冲。最好在每次进行的同步序列的开始前执行该插入序列。

通过改变寄存器中的存储值，可任意地设定插入序列的执行的时序，

99.06.08

可在序列发生器 50 中适当地执行插入序列。

99.08.08

CPEL9951222

说明书附图

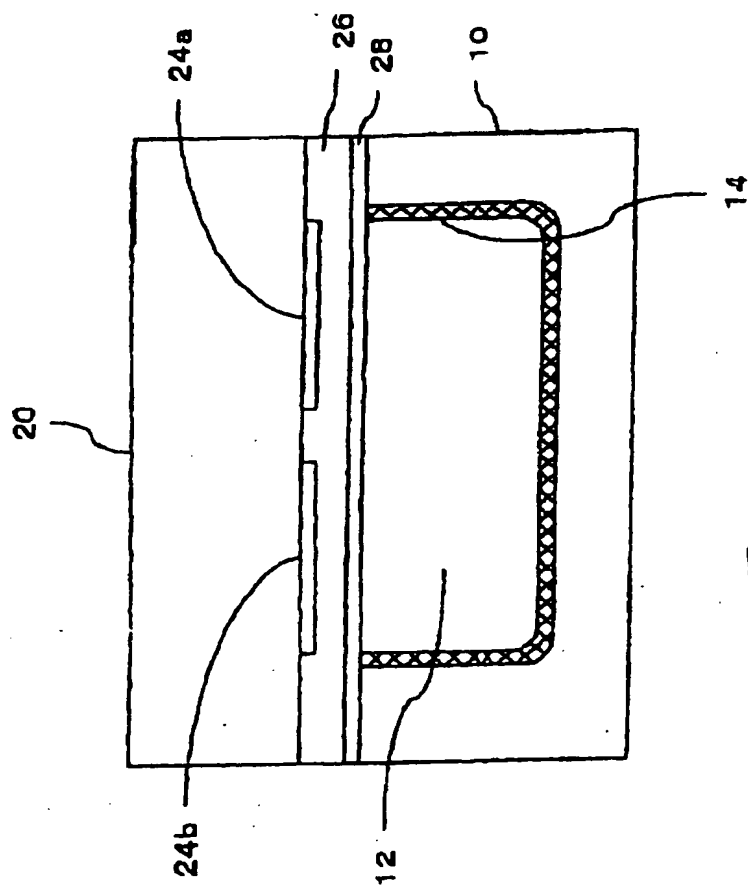


图 1

99.08.08

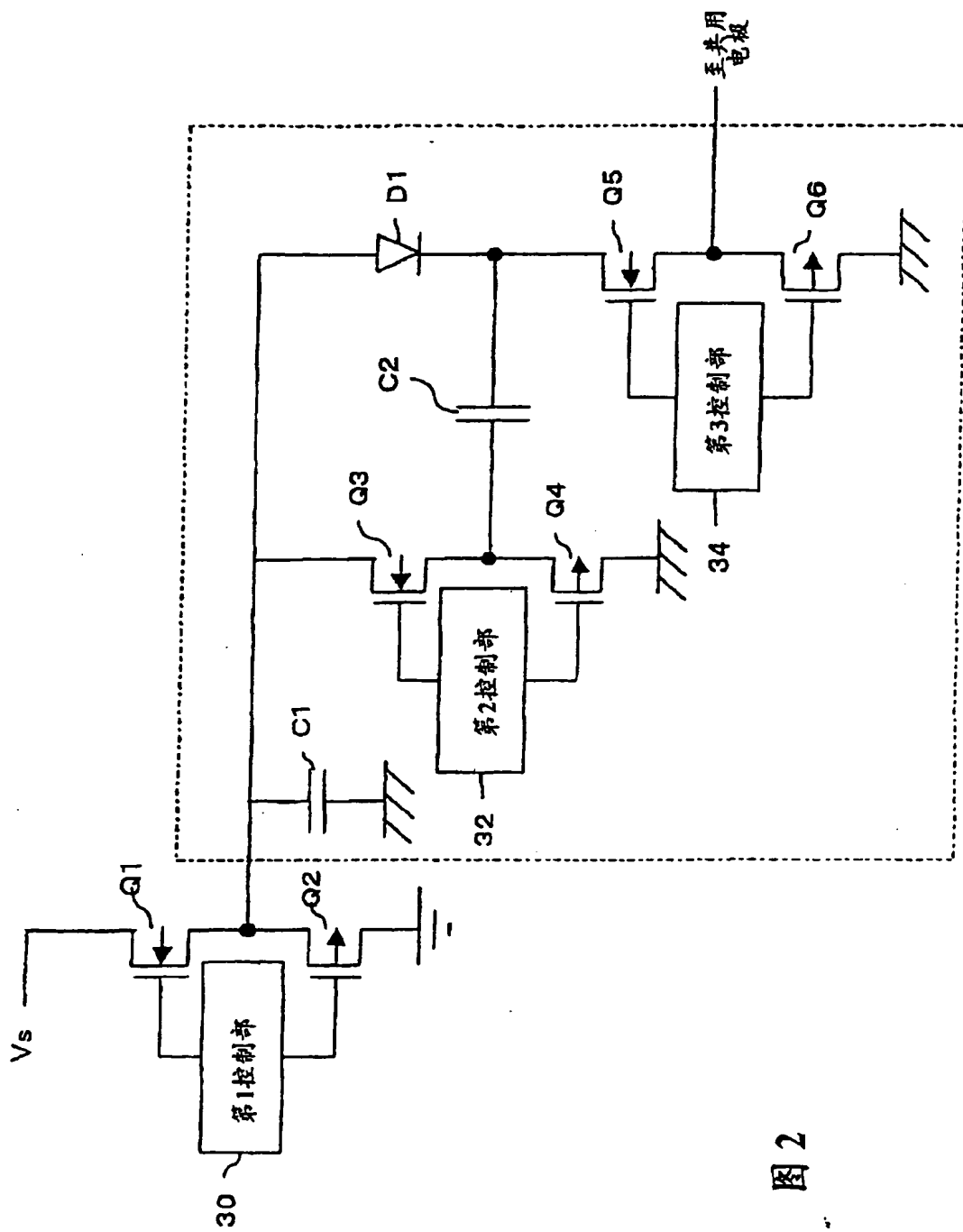


图 2

89.08.08

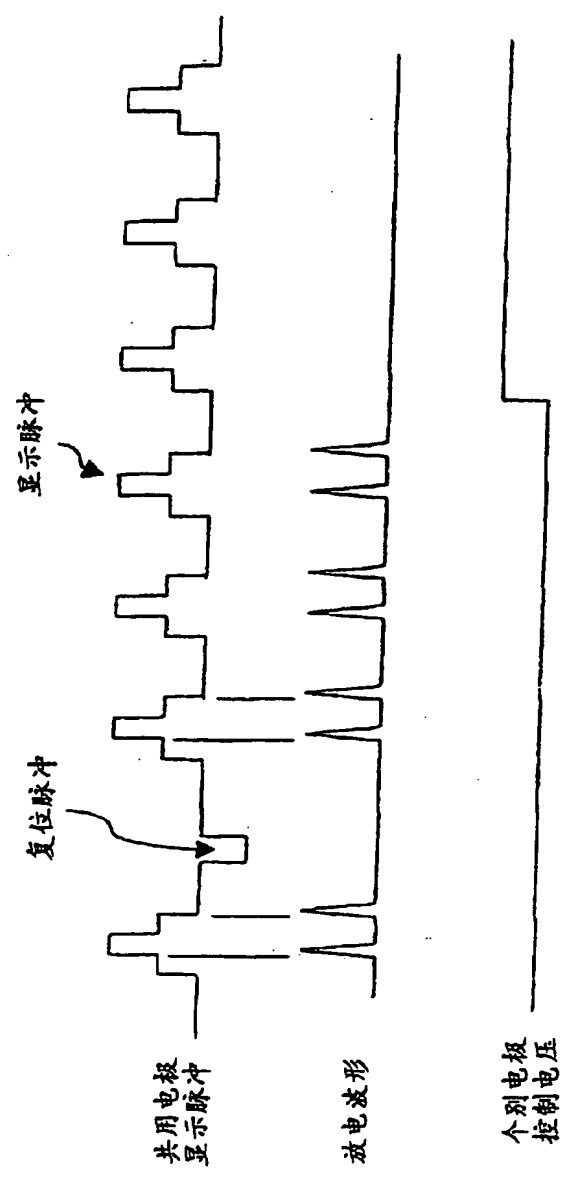


图 3

99.05.08

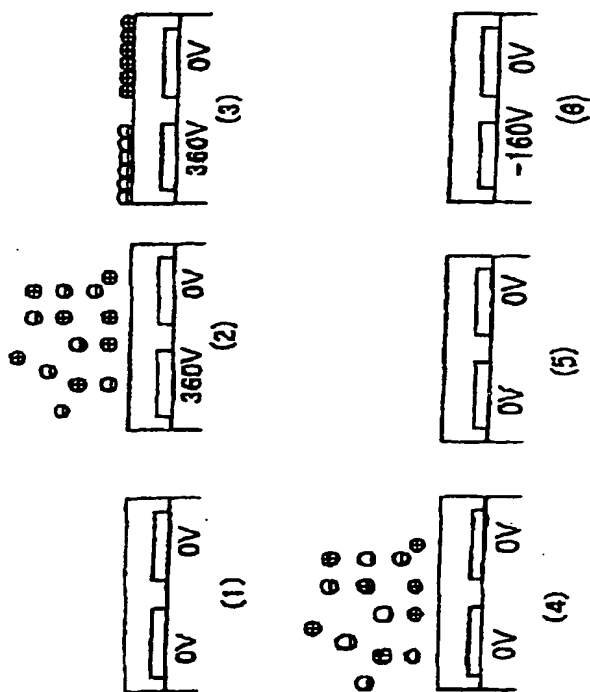
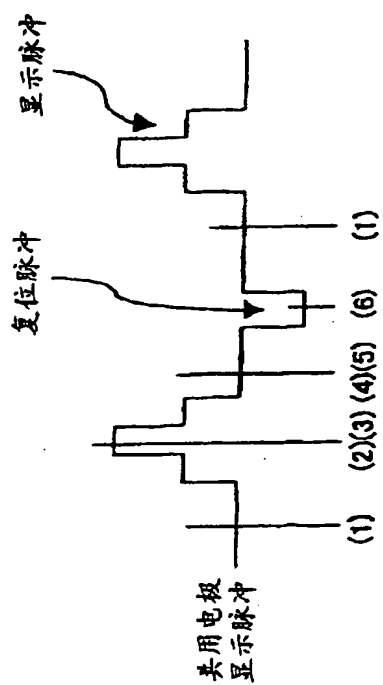


图 4

99.08.08

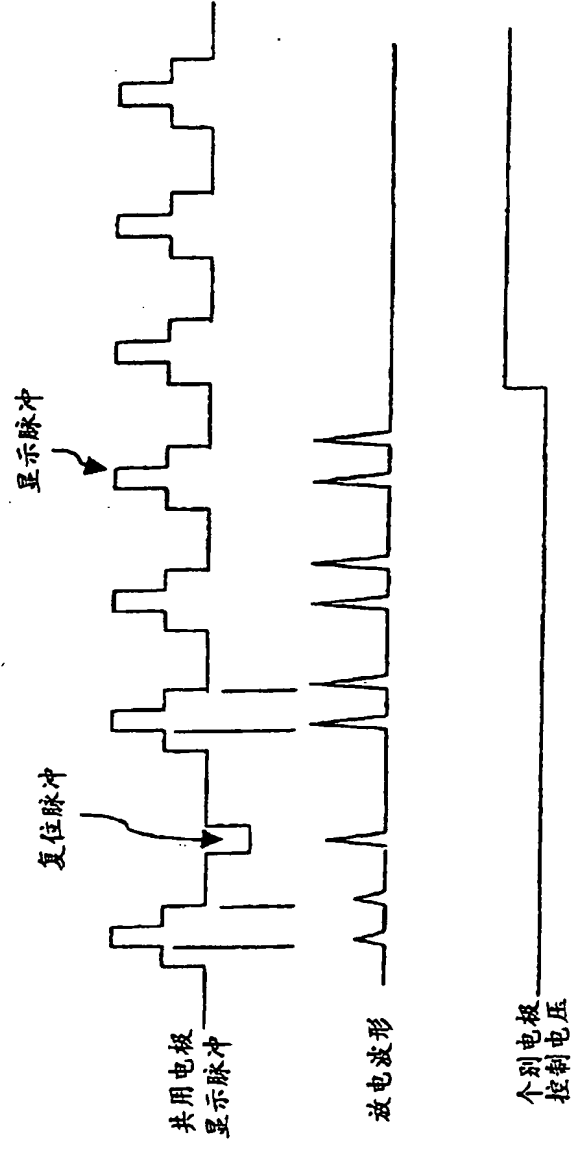


图5

99.08.08

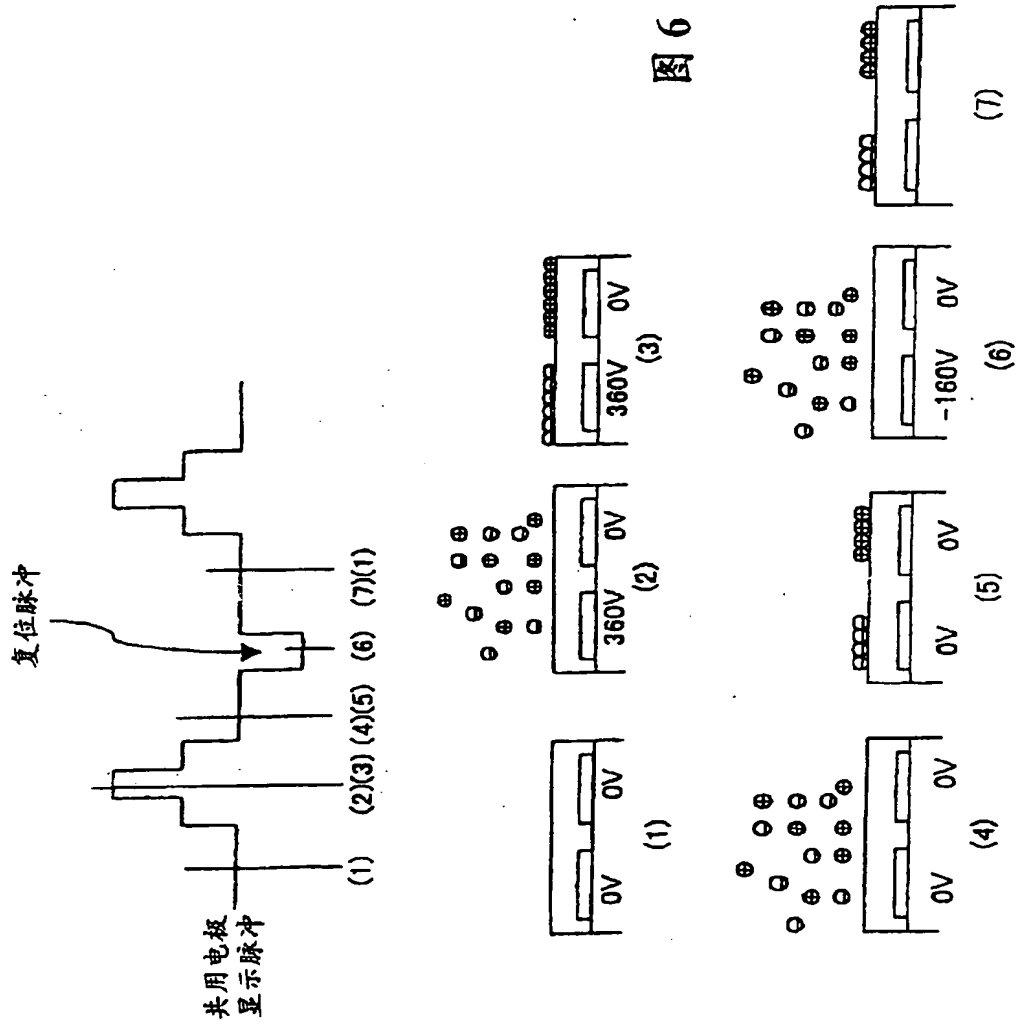


图 6

00.00.00

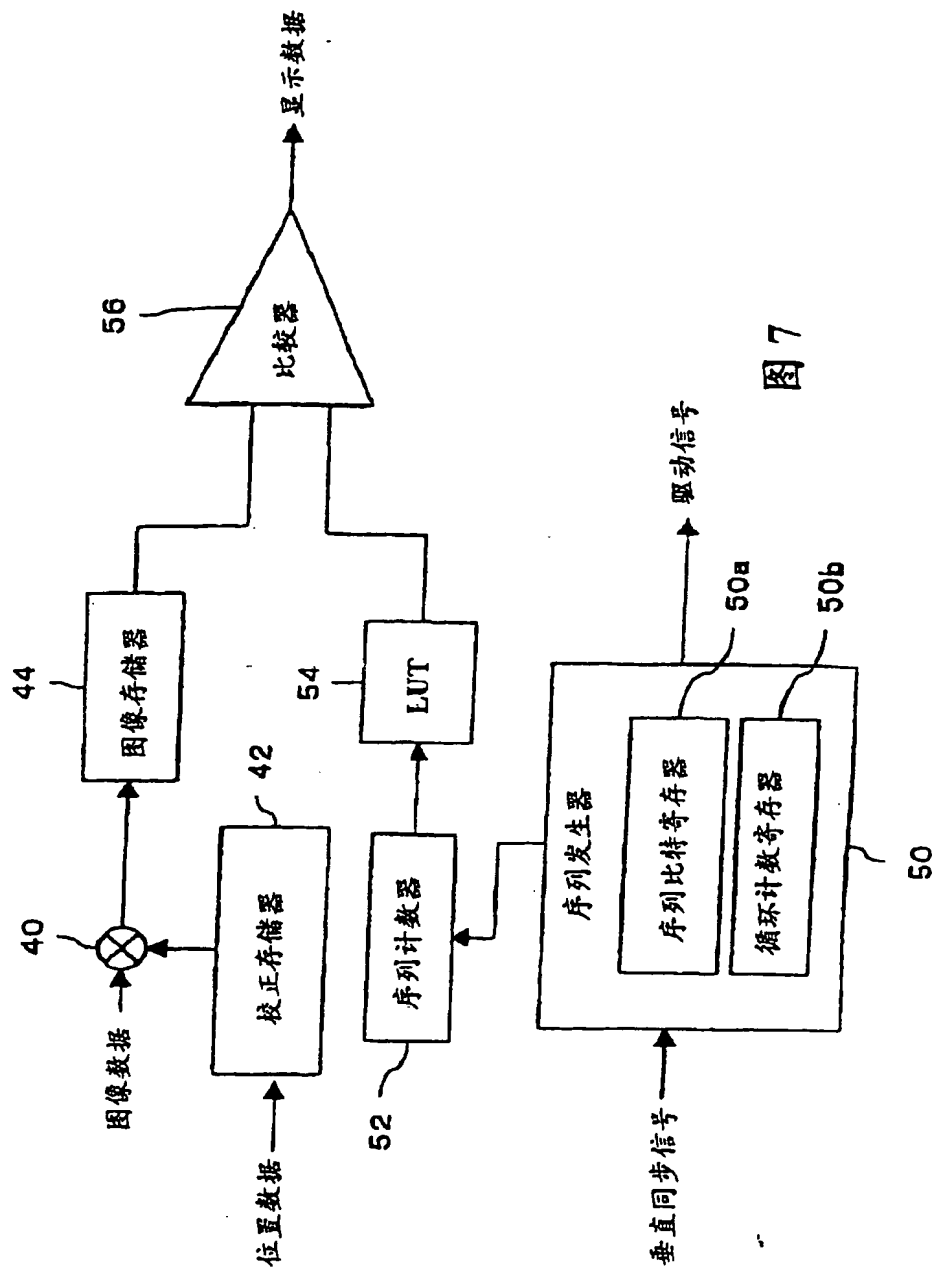


图 7

99.09.09

序列比特寄存器

地址	A0	A1	A2	A3	A4	A5	A60	A61	A62	A63
序列	B23	B23	B23	B23	B23	B23	B23	B23	B23	B23
	B10	B10	B10	B10	B10	B10	B10	B10	B10	B10
	B0	B0	B0	B0	B0	B0	B0	B0	B0	B0
计数	B7	B7	B7	B7	B7	B7	B7	B7	B7	B7
	B0	B0	B0	B0	B0	B0	B0	B0	B0	B0

循环计数寄存器

地址	A0	A1	A2	A3	A4	A5	A60	A61	A62	A63
序列	B4	B4	B4	B4	B4	B4	B4	B4	B4	B4
地址	B0	B0	B0	B0	B0	B0	B0	B0	B0	B0
计数	B7	B7	B7	B7	B7	B7	B7	B7	B7	B7
	B0	B0	B0	B0	B0	B0	B0	B0	B0	B0

图 8

99.05.08

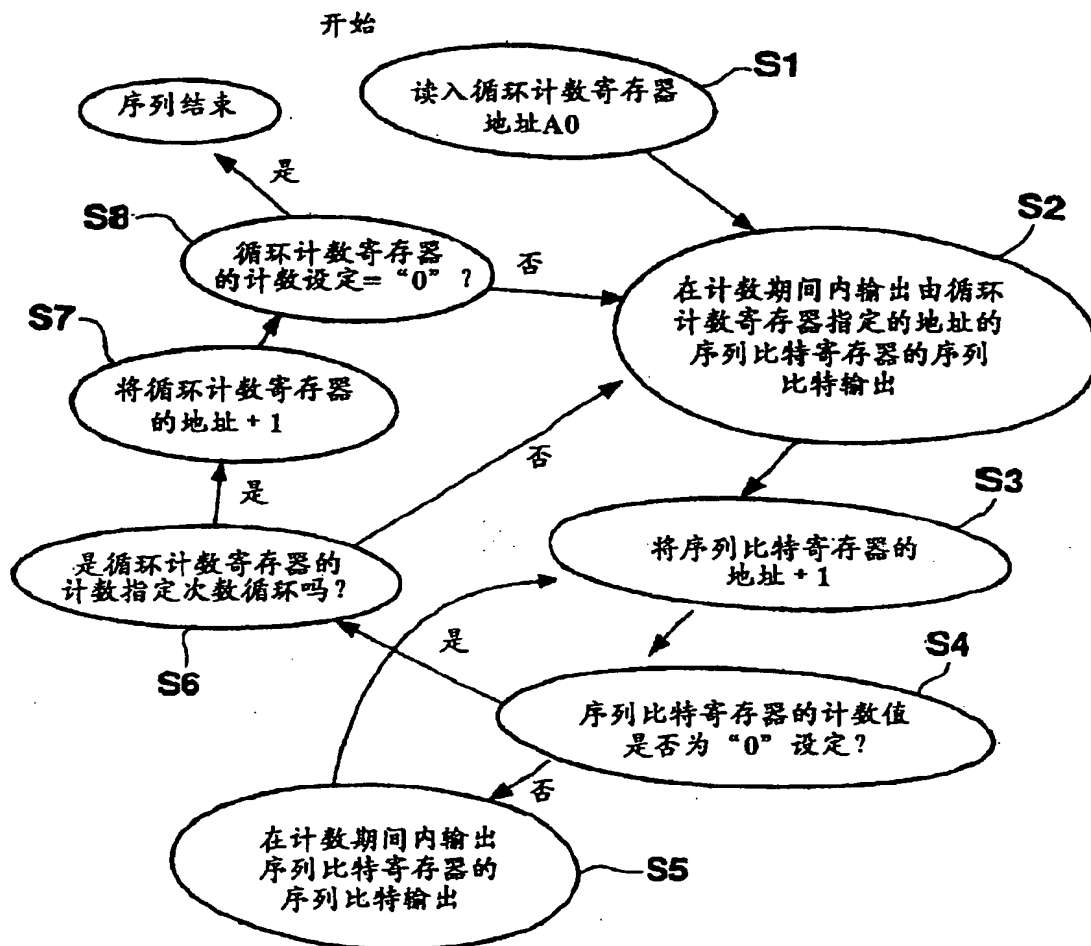


图 9

99.06.03

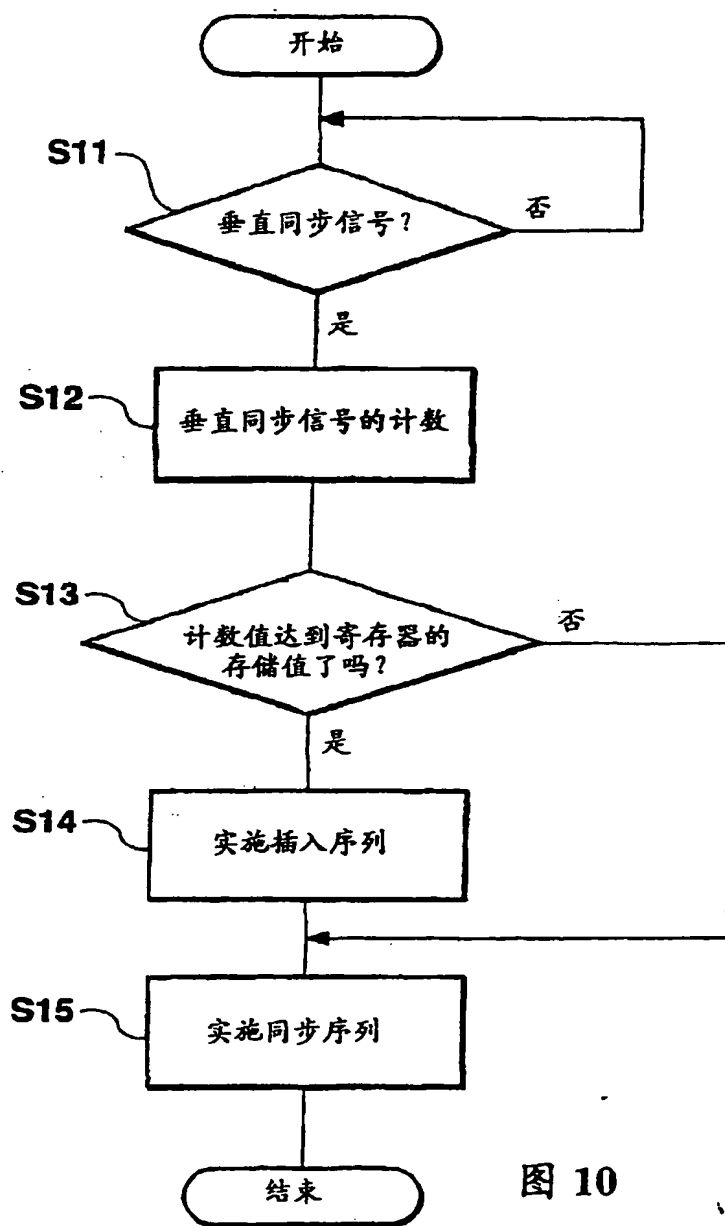


图 10

**This Page is Inserted by IFW Indexing and Scanning
Operations and is not part of the Official Record**

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- ☐ BLACK BORDERS
- ☐ IMAGE CUT OFF AT TOP, BOTTOM OR SIDES
- ☐ FADED TEXT OR DRAWING
- ☐ BLURRED OR ILLEGIBLE TEXT OR DRAWING
- ☐ SKEWED/SLANTED IMAGES
- ☐ COLOR OR BLACK AND WHITE PHOTOGRAPHS
- ☐ GRAY SCALE DOCUMENTS
- ☒ LINES OR MARKS ON ORIGINAL DOCUMENT
- ☐ REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY
- ☐ OTHER: _____

IMAGES ARE BEST AVAILABLE COPY.

As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.